

U 924 数字串行I0模块 用户手册

版本号: 1.0

第1页共6页





<i></i> ,	硬件说明	3
<u> </u>	软件界面操作说明	4

第2页共6页

MegaSig

- 一、 硬件说明
- 1. U 924拥有1组输入和1组输出,接口类型: HD-15
 - a) 面板接口采用为HD-15;
 - b) 独立的主时钟、位时钟和帧时钟
 - c) 拥有4个Data;
 - d) 可选择信号的格式,字宽,位深



HD-15

第3页共6页



二、 软件界面操作说明

1. 此说明为使用AudioExpert软件,研发建议使用Siolab软件,使用更为方便

①连接设备以后,打开AudioExpert软件,进行通道设置,登录密码默认123

AudioExpert-v4.0.0.236											0	- 🗆 🛛	
🔍 AudioE	Expert												
🕞 手动制成 🔂 🔂 自动制	liat 00 - 15%	停止	4 🎝 🗖	原列编辑) 🧑 🐲	📄 🏑 供速工具	🔦 🙊 🛱 🛃	超控制 💽 帮助					
00:00:00	界面控制	清除界面数据	□ 微定界面	隐藏界面	泉示界面 2、 キオエエング	内存数据	MES On						
测试状态	3	1.1	五八豆米齐围		2: 11710	(直,进行DSIC	リ則自配重						
钟杰	-												
375442月12月12日													
初始化序列结束													
主序列													
主序列结束													
结束序列													
结束序列结束													
				(2) 没置	3: 打	开配置界面			×				
				_				The second second					
					-	10.00000070		Language/sem					
					通道议题	传感维吾理	串口设置	O English					
				-			-	●中文(簡体)					
				30	防信号设置	限值设置	東田御堂						
								语盲包版本号					
								1.0.0.71					
				-	结果分档	综合集设署	软件设备						
				-	设置								
< >													
83	2												
	1												

②在通道配置中创建通道,以及设置数据的格式

▷ 手动测试 00·00	② ■助教式 11 10 100 7回注射	 ※止 4 2 [満時界面数据 0 0027回 	 广 序列编辑 (2) 序列编辑 (2) 设置 (2) 保護 (2) 保護<th>11月 🗣 操作员 🧾 数据 🌼 MES On</th><th>Safetasi 💽 Nit</th>	11月 🗣 操作员 🧾 数据 🌼 MES On	Safetasi 💽 Nit
 割試状态 状态 初始化序列 初始化序列結束 主序列 			×	1	R YARDOOR
6.3870岁368 主苏外的 主苏外加索 生苏外加索 结束 亦引给来	 転出通道 連載な物 6682-1 6682-2 1: 右信信の建 () <l< td=""><td></td><td>(with 高温信度) (Shutle (Shutle (Shutle (U2240) (U2240) (U224</td><td>☑ テDSIO数据格式記置 ■NL 取用</td><td>SD SD Clocke Audio Laree I Chanels I Chanels I Chanels I Chanels I Justification Left Musified France III France III Justification Left Musified France IIII France IIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIII</td></l<>		(with 高温信度) (Shutle (Shutle (Shutle (U2240) (U2240) (U224	☑ テDSIO数据格式記置 ■NL 取用	SD SD Clocke Audio Laree I Chanels I Chanels I Chanels I Chanels I Justification Left Musified France III France III Justification Left Musified France IIII France IIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIII
×	, , , , , , , , , , , , , , , , , , ,				● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ● ●

Lan:选择使用的Data数量,最大可选4

Channel:每个Data传输数据的通道数量,例如2Lan, channel 8,则启用2个data引脚,每个data引进传输8路数据,最大可选16

MSB First: 数据第一位为高位

Justification: 选择数据左/右对齐

第4页共6页



Frame pulse width: 帧脉冲宽度
Frame invert: 帧反转
Frame shift left : 帧左移
Word width:字宽,最高32位
Bit Depth:位深,最高32位
Master Clk source:MCLK的时钟方向,可以外部/内部
Bit&frame Dir:选择BLCK的时钟方向
Bit Clock Edge Sync:数据和BCLK的同步方向,可选在BCLK上升沿或者下降沿同步

数字串行IO设置
 SDO SDI Clocks
 Master Clk Rate: 49.152MHz
 MClk/BClk Ratio: 4

在Clocks设置中:

Master Clk rate:可选择输入Master clk的时钟频率

取消

确认

Mclk/Bclk ratio:BCLK的时钟频率,这里Ratio为比值,例如Master CLK需要49.152MHz,BCLK需要12.288MHZ 所以这里应该这里输入MCLK/BCLK Ratio=49.152/12.288=4。



3.配置完成以后,即可在快速工具,示波器与功率谱中使用AO或者AI输出或者采集

信号发生器	×	● 示波器与功率谱						- 🗆 ×
		輸入通道 1	灵敏度 1	采样率	分析长度(秒)	平均类型	平均次数	
輸出通道 未件傘 48000	ē	☑ 输入924-1 、	/	48000	0.5	指数平均	30	•
	120	揃入 通道 2	灵敏度 2	窗函数	大内 权	平均模式		
信号类型		☑ 输入924-2		None 🗸	线性计权	不平均	▽ 重新计算平	均
			ad 1Namb	L. Numil	L	1		
频率 (Hz) 输出幅	ā	# 16	记录与同效					
1k 0.1	Vpeak	21344	ADDA DIANA					
0.0707	107	0.001 -						
激励设备	Vrms	0.0008-					p+ist RF1	
~ -23.01	03 🗘 dBV	0.0000					11 X3(22)	
	100	0.0006-			1		Timere	
1 kHz	dBFS	0.0004-					利潤和	
						-	成平均次数	
							ALC T POINSK	
		-0 <u>iti</u>						
开始		A A A A A A A A A A A A A A A A A A A					Ch1	Ch2 ^
		-0.0002-				F	requency	
		-0.0004-				R	MS@Freq	
		0.0006				d	Brms@Freq	
		-0.000-				T	HD(%)	
		-0.0008-				Т	HD+N(%)	
						R	MS_Signal	
		-0.001 -		<u></u>		d	Brms_Signal	
		0	0.1 0.2	0.3	0.4 0.5	0.5668 d	IBSPL_Signal	~
		1 日 日 日		lime(s)				

第6页共6页