

U 924 数字串行IO模块 用户手册

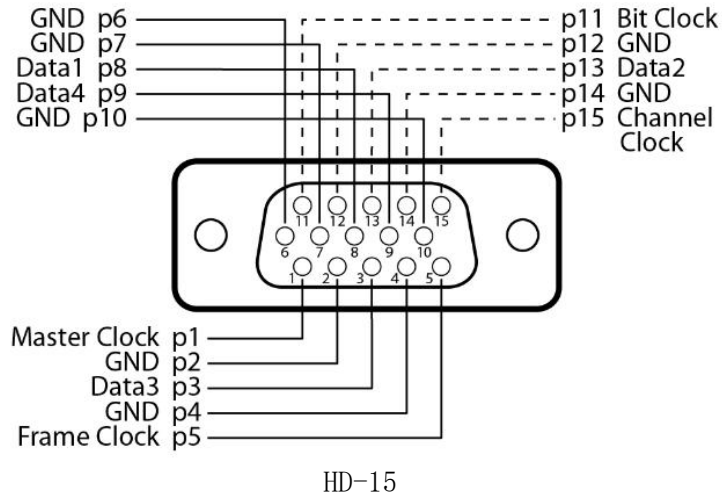
版本号：1.0

目录

一、 硬件说明	3
二、 软件界面操作说明	4

一、 硬件说明

1. U 924拥有1组输入和1组输出，接口类型：HD-15
 - a) 面板接口采用为HD-15;
 - b) 独立的主时钟、位时钟和帧时钟
 - c) 拥有4个Data;
 - d) 可选择信号的格式，字宽，位深



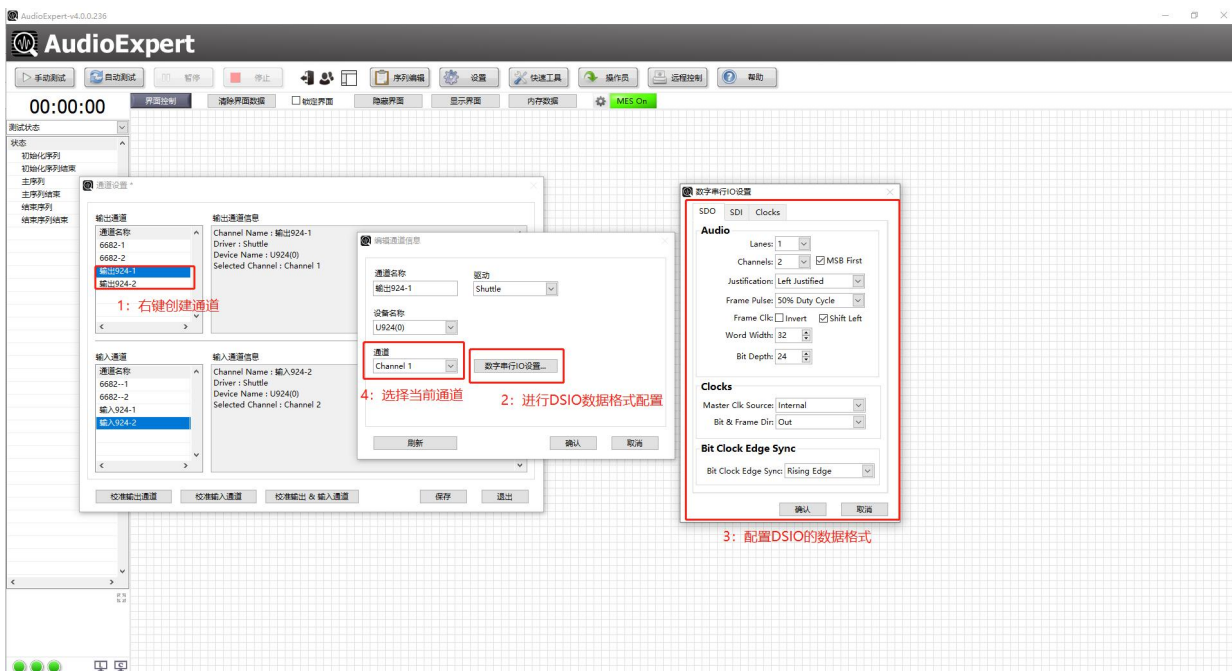
二、 软件界面操作说明

1. 此说明为使用AudioExpert软件，研发建议使用Siolab软件，使用更为方便

①连接设备以后，打开AudioExpert软件，进行通道设置，登录密码默认123



②在通道配置中创建通道，以及设置数据的格式



Lan: 选择使用的Data数量，最大可选4

Channel: 每个Data传输数据的通道数量，例如2Lan, channel 8, 则启用2个data引脚，每个data引进传输8路数据，最大可选16

MSB First: 数据第一位为高位

Justification: 选择数据左/右对齐

Frame pulse width: 帧脉冲宽度

Frame invert: 帧反转

Frame shift left : 帧左移

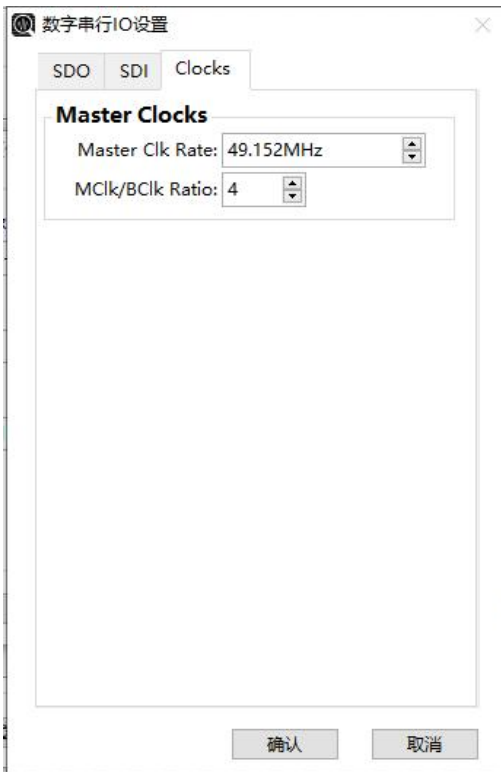
Word width:字宽, 最高32位

Bit Depth:位深, 最高32位

Master Clk source:MCLK的时钟方向, 可以外部/内部

Bit&frame Dir:选择BCLK的时钟方向

Bit Clock Edge Sync:数据和BCLK的同步方向, 可选在BCLK上升沿或者下降沿同步



在Clocks设置中:

Master Clk rate:可选择输入Master clk的时钟频率

Mclk/Bclk ratio:BCLK的时钟频率, 这里Ratio为比值, 例如Master CLK需要49.152MHz, BCLK需要12.288MHZ
所以这里应该这里输入MCLK/BCLK Ratio=49.152/12.288=4。

3.配置完成以后，即可在快速工具，示波器与功率谱中使用AO或者AI输出或者采集

